

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

APPLICANT(S): PARK, Sung-Eun et al.

SERIAL NO.: Not Yet Assigned

FILED: Herewith

FOR: **APPARATUS AND METHOD FOR REDUCING PEAK TO  
AVERAGE POWER RATIO IN AN ORTHOGONAL  
FREQUENCY DIVISION MULTIPLEXING SYSTEM**

DATED: January 9, 2004

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

**TRANSMITTAL OF PRIORITY DOCUMENTS**

Sir:

Enclosed is a certified copy of Korean Patent Appln. No. 2450-2003 filed on January 14, 2003, from which priority is claimed under 35 U.S.C. §119.

Respectfully submitted,

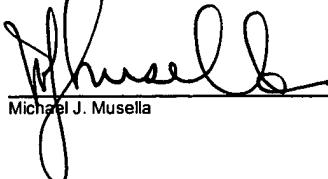


Paul J. Farrell, Esq.  
Reg. No. 33,494  
Attorney for Applicant(s)

**DILWORTH & BARRESE, LLP**  
333 Earle Ovington Blvd.  
Uniondale, NY 11553  
(516) 228-8484

**CERTIFICATION UNDER 37 C.F.R. 1.10**

I hereby certify that this New Application Transmittal and the documents referred to as enclosed therein are being deposited with the United States Postal Service in an envelope as "Express Mail Post Office to Addressee" Mail Label Number EL 995744672 US addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on the date listed below.



Michael J. Musella

Dated: January 9, 2004



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출 원 번 호 : 10-2003-0002450  
Application Number

출 원 년 월 일 : 2003년 01월 14일  
Date of Application JAN 14, 2003

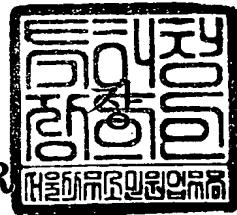
출 원 인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 12 월 09 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0005
【제출일자】	2002.01.14
【국제특허분류】	H04L
【발명의 명칭】	직교주파수 분할다중 시스템의 평균전력 대 최대전력비 감소를 위한 장치 및 방법
【발명의 영문명칭】	APPARATUS AND METHOD FOR PAPR REDUCTION IN OFDM SYSTEM
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이건주
【대리인코드】	9-1998-000339-8
【포괄위임등록번호】	2003-001449-1
【발명자】	
【성명의 국문표기】	박 성은
【성명의 영문표기】	PARK, Sung Eun
【주민등록번호】	741121-1030911
【우편번호】	442-380
【주소】	경기도 수원시 팔달구 원천동 원천삼성아파트 6동 606호
【국적】	KR
【발명자】	
【성명의 국문표기】	김 재열
【성명의 영문표기】	KIM, Jae Yael
【주민등록번호】	700219-1047637
【우편번호】	435-042
【주소】	경기도 군포시 산본2동 산본9단지 백두아파트 960동 1401호
【국적】	KR
【발명자】	
【성명의 국문표기】	정 대권
【성명의 영문표기】	JUNG, Dae Kwon

【주민등록번호】 710910-1919210  
【우편번호】 442-740  
【주소】 경기도 수원시 팔달구 영통동 황골마을아파트 149동 1001호  
【국적】 KR  
【심사청구】 청구  
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인  
이건주 (인)  
【수수료】  
【기본출원료】 20 면 29,000 원  
【가산출원료】 31 면 31,000 원  
【우선권주장료】 0 건 0 원  
【심사청구료】 12 항 493,000 원  
【합계】 553,000 원

**【요약서】****【요약】**

본 발명은 직교주파수분할다중 시스템의 평균 전력 대 최대 전력 비 감소에 관한 것으로서 특히, CRC 비트를 이용한 평균 전력 대 최대 전력 비 감소에 관한 장치 및 방법에 관한 것이다. 이를 위해 송신측에서는 전송하고자 하는 정보비트에 CRC 비트를 붙인 후, 마스크 생성기에서 생성된 마스크 시퀀스로 마스킹을 수행한다. 마스킹이 이루어진 정보비트와 CRC비트는 수신측으로 전송된다. 수신측에서는 수신된 정보비트와 CRC 비트를 복수 개로 복사한 뒤 송신측과 동일한 마스크 생성기에서 송신측에서 생성한 마스크 시퀀스를 포함한 복수 개의 마스크 시퀀스를 생성하여 각각 연산하여 마스크를 제거한다. 마스크가 제거된 각 정보비트와 CRC비트들의 CRC를 검사함으로서 송신측에서 송신에 사용한 마스크 시퀀스를 알 수 있다.

**【대표도】**

도 4

**【색인어】**

직교주파수분할다중 시스템, CRC, PAPR, FFT, IFFT

## 【명세서】

## 【발명의 명칭】

직교주파수분할다중 시스템의 평균전력 대 최대전력 비 감소를 위한 장치 및 방법

{APPARATUS AND METHOD FOR PAPR REDUCTION IN OFDM SYSTEM}

## 【도면의 간단한 설명】

도 1은 종래의 선택적 매핑(SLM)에 의한 평균전력 대 최대전력 비(PAPR) 감소를 위한 직교주파수분할다중(OFDM) 시스템의 송신기 구조를 도시한 도면.

도 2는 도 1의 송신기 구조에 따른 수신기 구조를 도시한 도면.

도 3은 본 발명이 적용되는 CRC 생성기에서 CRC 비트를 생성하는 과정을 나타낸 도면.

도 4는 본 발명이 적용되는 PAPR 감소를 위한 OFDM 시스템의 송신기 구조를 도시한

도면.

도 5는 도 4의 송신기 구조에 따른 수신기 구조를 도시한 도면.

도 6은 본 발명이 적용되는 PAPR 감소를 위한 OFDM 시스템의 다른 송신기 구조를 도시한 도면.

도 7은 도 6의 송신기 구조에 따른 수신기 구조를 도시한 도면.

도 8은 본 발명이 적용되는 PAPR 감소를 위한 OFDM 시스템의 또 다른 수신기 구조를 도시한 도면.

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<9> 본 발명은 직교주파수분할다중 시스템의 평균 전력 대 최대전력 비 감소에 관한 것으로서, 특히 송신측에서 송신한 특정 비트를 검사함으로서 상기 평균 전력 대 최대전력 비 감소를 위한 장치 및 방법에 관한 것이다.

<10> 무선 채널로 신호를 전송하는 경우에 전송된 신호는 송신기와 수신기 사이에 존재하는 다양한 장애물들에 의해 다중경로 간섭을 받는다. 상기 다중경로가 존재하는 무선 채널의 최대지연확산과 신호의 전송주기로 특성을 규정지을 수 있다. 또한, 상기 최대지연확산보다 신호의 전송주기가 긴 경우에는 연속된 신호 사이에 간섭이 발생하지 않으며, 채널의 주파수 영역의 특성은 주파수 비선택적 페이딩(frequency nonselective fading)으로 주어진다. 그러나 광대역을 사용하는 고속 전송의 경우에는 상기 신호의 전송주기가 상기 최대 지연확산보다 짧아 상기 연속된 신호 사이에 간섭이 발생하여, 수신된 신호는 심벌간 간섭(intersymbol interference)을 받게 된다. 또한 이 경우 상기 채널의 주파수 영역의 특성은 주파수 선택적 페이딩(frequency selective fading)으로 주어지며, 코히어런트(coherent) 변조 방식을 사용하는 단일 반송파 전송방식에서는 심벌간 간섭을 제거하기 위해 등화기(Equalizer)가 요구된다. 또한, 상기 데이터 전송속도가 증가함에 따라 상기 심벌간 간섭에 의한 왜곡이 증가하게 되는데 이에 따라 등화기의 복잡도도 함께 증가된다. 이와 같이 상기 단일 반송파 전송방식에서 등화 문제를 해결하기 위한 대안으로 직교주파수분할다중(Orthogonal Frequency Division Multiplexing: 이하 OFDM이하 한다.) 시스템이 제안되었다. 상기 OFDM 시스템은 복수의 직교 부반송파를 사용하여 데이터를 병렬로 전송하고, 상기 주파수 선택적 페이딩 채널이

각 부채널의 관점에서는 주파수 비선택적 채널로 근사화된다. 따라서 간단한 단일탭 등화기로 상기 주파수 선택적 페이딩 채널을 쉽게 보상할 수 있다.

<11> 또한 인접한 심벌 사이의 다중경로로 인한 채널의 지연으로 인한 상기 인접한 심벌과 상기 다중경로로 인한 채널간 간섭을 방지하기 위해 보호구간(Guard Interval)을 삽입한다. 이 때 상기 보호구간의 길이는 상기 무선채널의 사이 최대지연확산보다 길어야 한다. 상기 OFDM은 고속 퓨리에 변환(Fast Fourier Transform: 이하 FFT라 한다.)과 역 고속 퓨리에 변환(Inverse Fast Fourier Transform: 이하 IFFT라 한다)을 사용함으로서 상기 부반송파간의 직교성을 유지하며 전송함으로서, 고속 데이터 전송 시 최적의 전송 효율을 얻을 수 있는 특징을 갖는다.

<12> 상기 OFDM 시스템은 이와 같이 상기 부반송파간의 상기 직교성이 유지되는 경우에만 가능하다. 만약 상기 부반송파간의 상기 직교성이 파괴되는 경우에는 채널간 간섭이 발생한다. 상기 부반송파간의 직교성이 파괴되는 경우는 일반적으로 세 가지 경우로 나누어 볼 수 있다. 첫 번째로 수신단에서 동기가 이루어지지 않은 경우로, 상기 경우 상기 OFDM 시스템의 성능에 많은 영향을 미치게 된다. 두 번째로 채널의 특성이 OFDM 심벌주기 내에서 변하는 시간 선택적 페이딩(time selective fading)으로 이 경우 상기 직교성 파괴로 인한 채널간 간섭이 발생한다. 마지막으로 부반송파의 수가 증가됨에 따라 변조된 신호의 진폭은 중심 극한 정리(central limit theorem)에 의하여 가우시안 확률분포로 나타난다. 따라서 송신 신호의 평균전력 대 최대전력의 비(Peak to Average Power Ratio :이하 PAPR이라 한다.)이 매우 큰 특성을 가지게 된다. 따라서, 무선 채널에서 충분한 송신전력을 확보하기 위해 사용되는 고출력 증폭기의 비선형 포화특성으로 인해 단일 반송파 전송 방식보다 심각한 비선형 왜곡이 발생한다.

<13> 상기 OFDM 시스템의 단점들을 해결하기 위해 여러 가지 방안들이 제안되고 있으며, 또한 활발히 연구되고 있다. 선택적 매핑(Selected Mapping: 이하 SLM이라 한다.)은 상기 PAPR을

감소시키는 방안 중 하나이다. 상기 SLM 방식은 동일한 입력 정보 비트를 표현하는 N 개의 상호 독립적인 정보 비트열을 생성하며, 상기 생성된 정보 비트열 중에서 가장 낮은 상기 PAPR을 갖는 상기 정보 비트열을 선택하여 전송하는 방법이다. 상기 N 개의 전송 정보 비트열은 길이가 L인 마스크 시퀀스를 상기 입력 비트에 곱하여 발생한다. 상기 SLM 방법은 데이터 전송률을 유지할 수 있는 장점이 있으나, 상기 정보 비트열의 개수가 증가할수록 상기 PAPR을 계산하기 위한 계산량이 급격히 증가하는 단점이 있다. 또한 송/수신기는 상기 마스크 시퀀스를 저장하기 위한 메모리가 요구되며, 상기 송신기에서 선택된 마스크 시퀀스를 상기 수신기에 알려주기 위한 부가정보의 전송이 필요하다.

<14>      도 1내지 도2는 상기 SLM 방법에 의한 상기 PAPR을 감소시키는 방안을 제안하고 있는 송/수신기의 구조를 도시한 도면이다. 이하 상기 도 1을 중심으로 상기 SLM 방법에 의한 송신기의 구조를 먼저 설명한다. 상기 정보 비트는 이진 신호로서 채널 부호기(100)로 입력된다. 상기 채널 부호기(100)는 입력된 정보비트들을 부호화하여 상기 부호화 심벌들을 출력한다. 상기 부호화 심벌들은 변조부(110)로 입력된다. 상기 변조부(110)는 입력받은 부호화 심벌들을 심벌 매핑 성상도에 심벌 매핑하여 출력한다. 상기 변조부(110)의 변조방식으로는 QPSK, 8PSK, 16QAM, 64QAM 등이 존재한다. 상기 심벌을 구성하는 비트 수는 상기 각각의 변조방식들에 대응하여 정의되어 있다. 상기 QPSK 변조 방식은 2비트로 구성되며, 상기 8PSK는 3비트로 구성된다. 또한 16QAM 변조 방식은 4비트로 구성되며, 64QAM 변조방식은 6비트로 구성된다. 상기 변조부(110)로부터 출력된 변조 심벌은 복수 개의 신호로 복사된다. 상기 도 1에서는 상기 변조부(110)의 변조 심벌이 N 개의 출력 심벌로 복사되고 있다. 마스크 생성기(120)는 독립적인 마스크 시퀀스( $M_1$  내지  $M_n$ )를 생성한다. 확산기(130)에는 상기 변조 심벌과 상기 마스크 생성기(120)로부터 생성된 마스크 시퀀스( $M_1$ )가 입력되고, 상기 확산기(132)에는 상기 변조 심벌

과 상기 마스크 생성기(120)로부터 생성된 마스크 시퀀스(M2)가 입력된다. 또한, 상기 확산기(134)에는 상기 변조 심벌과 상기 마스크 생성기(120)로부터 생성된 마스크 시퀀스(M3)가 입력되며, 상기 확산기(136)에는 상기 변조 심벌과 상기 마스크 생성기(120)로부터 생성된 마스크 시퀀스(Mn)가 입력된다.

<15> 상기 확산기들(130 내지 136)로 입력된 상기 변조 심벌은 상기 입력된 마스크 시퀀스를 곱함으로서 심벌 확산을 수행한다. 상기 확산기(130)에 의해 확산된 변조 심벌은 IFFI부(140)로 입력되고, 상기 확산기(132)에 의해 확산된 확산 심벌은 IFFT부(142)로 입력된다. 또한 상기 확산기(134)에 의해 확산된 확산 심벌은 IFFT부(144)로 입력되고, 상기 확산기(136)부에 의해 확산된 변조 심벌은 IFFI부(146)로 입력된다. 상기 IFFI부들(140 내지 146)로 입력된 상기 확산된 변조 심벌들은 IFFI이 수행된다. 상기 IFFI가 수행되어진 상기 확산된 변조 심벌들은 PAPR 계산 및 비교 선택부(150)로 입력된다. 상기 PAPR 계산 및 비교 선택부(150)는 상기 입력된 변조 심벌들의 PAPR을 계산하여 상기 계산된 N 개의 PAPR 중 가장 낮은 PAPR을 갖는 상기 변조 심벌을 선택하여 수신기로 전송한다. 또한 이 경우, 상기 선택된 변조 심벌에 대응되는 상기 마스크 시퀀스에 관한 정보는 별도의 채널을 통해 상기 수신기로 전송된다.

<16> 도 2는 상기 SLM 방법을 사용하는 송신기에 따른 상기 수신기의 구조를 도시하고 있다. 상기 송신기로부터 전송되어 수신된 수신 심벌은 FFT부(200)로 입력된다. 상기 FFT부(200)로 입력된 수신 심벌은 상기 FFT 과정을 수행한 후, 역확산기(220)로 입력된다. 또한 상기 송신기로부터 별도의 채널을 통해 전송된 상기 선택된 변조 심벌에 대응되는 상기 마스크 시퀀스에 관한 정보는 제어기(210)로 입력된다. 상기 제어기(210)는 입력된 상기 정보를 이용하여 상기 도 1에서 선택된 마스크 시퀀스를 생성하여 상기 역확산기(220)로 입력된다. 상기 도 2에서는 상기 선택된 마스크 시퀀스를 Ni로 도시되어 있다. 상기 역확산기(210)는 입력된 상기 변조 심

별과 상기 마스크 시퀀스를 이용하여 상기 도 1의 마스크 생성기(120)로부터 생성된 마스크를 제거하는 역할을 수행한다. 상기 역학산된 심벌은 복조부(230)로 입력된다. 상기 복조부(230)는 상기 도 1의 변조부(110)의 상기 심벌 매핑 성상도를 가지고 있으며, 상기 심벌 매핑 성상도에 의해 상기 역학산된 심벌을 이진 신호로 변환된다. 즉, 상기 복조 방식은 상기 변조 방식에 의해 결정된다. 상기 도 1의 변조 방식이 QPSK인 경우 상기 복조 방식도 상기 QPSK 방식을 사용하며, 상기 변조 방식이 8PSK인 경우 상기 복조 방식도 상기 8PSK 방식을 사용한다. 상기 변조 방식에 의해 변환된 이진 신호는 채널 복호기(240)로 입력되어 상기 이진 신호에 대한 복호화 과정을 수행한다. 상기 채널 복호기(240)의 복호화 방식은 상기 채널 부호화기의 부호화 방식에 의해 결정된다. 상기와 같은 과정을 수행함으로서 상기 수신기는 상기 송신기에서 송신한 정보 비트를 수신할 수 있다.

<17> 상기 SLM 방법은 동일한 정보 비트로부터 생성된 N 개의 심벌들로부터 계산된 PAPR이 가장 낮은 심벌을 선택하여 전송함으로써 PAPR을 효과적으로 줄일 수 있으며, 동일한 정보를 갖는 상기 심벌들의 개수가 커질수록 PAPR 감소 효과가 더욱 커지는 장점이 있다. 하지만 상기 도 1, 도 2에 상술한 바와 같이, 상기 SLM 방법은 생성된 N 개의 심벌들에 사용된 마스크 시퀀스에 대한 정보를 별도의 채널을 통해 부가정보로 전송해야 한다. 이는 부가정보에 대한 별도의 송수신기를 구비하여야 하므로 시스템의 복잡도와 비용이 증가하는 문제점을 야기한다. 또한 상기 수신기에서 상기 부가정보를 정확히 복원하지 못할 경우 송신 신호의 복원이 불가능하므로, 별도의 채널을 통해 전송되는 부가정보는 송신 신호에 비해 더 낮은 오류 확률이 요구되고, 이를 위해서 별도의 채널 부호화 과정이 요구되는 단점이 있다.

**【발명이 이루고자 하는 기술적 과제】**

<18> 따라서, 전술한 종래 기술의 문제점을 해결하기 위한 본 발명의 목적은 송신기에서 사용된 마스크 시퀀스에 관한 정보를 수신기로 별도의 채널로 전송하지 않고도 PAPR을 감소시키는 장치 및 방법을 제안함에 있다.

<19> 상기한 본 발명의 다른 목적은 상기 별도의 부가 채널을 이용하지 않음으로서 시스템의 복잡도가 증가하는 것을 방지하고, 상기 수신기에서 상기 부가 정보를 정확히 복원하지 못하는 경우에 발생하는 에러를 방지하기 위한 장치 및 방법을 제안함에 있다.

<20> 상기한 본 발명의 목적을 이루기 수신기로 보내고자 하는 정보비트와 상기 정보비트에 대한 CRC 비트를 생성하여 복수 개의 가산기로 보내면, 상기 복수 개의 가산기는 마스크 생성기로부터 생성된 독립적인 복수 개의 마스크 시퀀스를 입력으로 받아 각각에 대해 배타적 가산을 수행함으로서 마스킹한다. 상기 배타적 가산이 수행되어진 정보비트와 CRC 비트는 부호화 과정과 변조 과정 그리고 IFFI 과정이 수행되어진 후, PAPR 계산이 의해 가장 낮은 PAPR 값을 갖는 마스킹된 정보비트와 CRC 비트를 수신기로 전송한다. 상기 수신기에서는 전송된 정보비트와 CRC 비트에 상기 송신기와 동일한 구조를 갖는 마스크 생성기로부터 생성된 복수 개의 마스크 시퀀스를 이용하여 마스크를 제거한다. 상기 마스크가 제거된 복수 개의 정보비트와 CRC 비트의 CRC를 검사함으로서 상기 송신기에서 사용된 마스크 시퀀스를 분석한다. 이와 같은 과정을 수행함으로서 상기 수신기는 별도의 부가 채널을 이용하지 않고도 상기 송신기에서 사용된 마스크 시퀀스의 값을 알 수 있는 장치 및 방법을 제안한다.

<21> 상기한 본 발명의 다른 목적을 이루기 위해 수신기로 보내고자 하는 정보비트와 상기 정보비트에 대한 CRC 비트를 생성하여 부호화 과정과, 변조 과정을 수행한 뒤 복수 개의 확산기로 보내면, 상기 복수 개의 확산기는 마스크 생성기로부터 생성된 독립적인 복수 개의 마스크

시퀀스를 입력으로 받아 각각에 대해 확산과정을 수행함으로서 마스킹한다. 상기 확산된 정보비트와 CRC 비트는 IFFI 과정이 수행되어진 후, PAPR 계산이 의해 가장 낮은 PAPR 값을 갖는 마스킹된 정보비트와 CRC 비트를 수신기로 전송한다. 상기 수신기에서는 전송된 정보비트와 CRC 비트에 상기 송신기와 동일한 구조를 갖는 마스크 생성기로부터 생성된 복수 개의 마스크 시퀀스를 이용하여 마스크를 제거한다. 상기 마스크가 제거된 복수 개의 정보비트와 CRC 비트의 CRC를 검사함으로서 상기 송신기에서 사용된 마스크 시퀀스를 분석한다. 이와 같은 과정을 수행함으로서 상기 수신기는 별도의 부가 채널을 이용하지 않고도 상기 송신기에서 사용된 마스크 시퀀스의 값을 알 수 있는 장치 및 방법을 제안한다.

<22> 상기한 본 발명의 다른 목적을 이루기 위해 마스킹된 수신 정보비트와 CRC비트를 마스크 생성기로부터 생성된 임의의 마스크 시퀀스를 이용하여 마스크를 제거한 후 CRC 비트를 검사하여 제어기로 전달한다. 제어기에서는 마스크 생성기에서 생성될 수 있는 마스크 시퀀스와 상기 임의의 마스크 시퀀스를 배타적 가산을 수행한 시퀀스의 CRC 비트를 저장하고 있다. 상기 저장된 CRC 비트와 상기 전달된 CRC 비트를 비교함으로서 상기 송신기에서 사용된 마스크 시퀀스를 분석한다. 이와 같은 과정을 수행함으로서 상기 수신기는 별도의 부가 채널을 이용하지 않고도 상기 송신기에서 사용된 마스크 시퀀스의 값을 알 수 있는 장치 및 방법을 제안한다.

### 【발명의 구성 및 작용】

<23> 이하 본 발명이 바람직한 실시 예를 첨부한 도면의 참조와 함께 상세히 설명한다. 또한 본 발명을 설명함에 있어서, 관련된 공지기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단된 경우 그 상세한 설명은 생략한다. 또한 본 발명에서

사용되는 배타적 논리합 연산기와 가산기는 동일한 의미로 사용되며, 상기 배타적 논리합 연산기와 가산기는 입력되는 데이터들을 비트별로 가산한다.

<24> 본 발명은 상기 선택된 마스크 시퀀스의 대한 부가정보를 별도의 채널을 통해 전송하지 않고 사이클릭 리던던시 코드(Cyclic Redundancy Code : 이하 CRC라 한다.)를 이용하여 전송한다. 상기 CRC는 데이터 전송 시 에러를 검출하기 위해 사용하는 순환 블록코드이다. 입력된 신호는 쉬프트 레지스터에 쉬프트가 이루어지며 배타적 논리합(Ex-OR)으로 켜환되는 형태로 수행된다.

<25> 도 3은 본 발명에 적용되는 CRC 생성기의 구조를 도시하고 있다. 이하 상기 도 3을 중심으로 상기 CRC 생성기에 의해 CRC 코드가 생성되는 원리에 대해 상세히 알아본다. 상기 CRC 생성기는 4개의 쉬프트 레지스터들(300 내지 306)과 4개의 배타적 논리합 연산기들(310 내지 316)로 구성되어 있다. 또한 상기 CRC 생성기로 입력되는 정보비트들을 다음과 같이 정의한다.

<26> 정보비트 = 1 0 1 0 0 0 1 1 0 1 1 0

<27> 상기에서 보이고 있는 바와 같이 상기 CRC 생성기로 12비트의 정보비트가 입력되고 있음을 보이고 있다. 상기 CRC 생성기의 생성 다항식은 4차 다항식으로 이루어져 있다. 상기 생성 다항식은  $g(x) = x^4 + x^3 + x^2 + x + 1$ 이다. 또한 상기 생성 다항식은 4차 다항식이므로 4개의 0이 송신될 상기 정보비트의 뒤에 붙어서 상기 CRC 생성기로 입력된다.

<28> CRC 생성기 입력비트 = 1 0 1 0 0 0 1 1 0 1 1 0 0 0 0 0

<29> 상기 CRC 생성기로 입력될 비트들의 생성이 완료되면, 상기 CRC 생성기 입력비트들은 왼쪽의 비트들부터 하나씩 상기 CRC 생성기로 입력된다. 상기 CRC 생성기의 특정 쉬프트 레지스터에 저장되어 있는 특정 비트가 다음 쉬프트 레지스터로 이동하는데 걸리는 시간을  $t_1$ 이라고

가정하고, 이후 다음 쉬프트 레지스터로 이동하는데 걸리는 시간을  $t_2$ 라고 가정한다. 또한 상기 쉬프트 레지스터들(300 내지 306)은 모두 0의 초기 값을 갖도록 설정한다.

<30> 상기  $t_1$ 시간이 경과되면 상기 쉬프트 레지스터(300)에는 1번째 CRC 생성기 입력비트인 1과 상기 쉬프트 레지스터(306)에 저장되어 있던 초기값 0이 상기 배타적 논리합 연산기(310)에서 연산 수행된 결과값이 저장된다. 상기 연산 수행된 결과값은 1이다. 상기  $t_1$ 시간이 경과되면 상기 쉬프트 레지스터(302)에는 상기 쉬프트 레지스터(300)에 저장되어 있던 초기값 0과 상기 쉬프트 레지스터(306)에 저장되어 있던 초기값 0이 상기 배타적 논리합 연산기(312)에서 연산 수행된 결과값 0이 저장된다. 상기  $t_1$ 시간이 경과되면 상기 쉬프트 레지스터(304)에는 상기 쉬프트 레지스터(302)에 저장되어 있던 초기값 0과 상기 쉬프트 레지스터(306)에 저장되어 있던 초기값 0이 상기 배타적 논리합 연산기(314)에서 연산 수행된 결과값 0이 저장된다. 상기  $t_1$ 시간이 경과되면 상기 쉬프트 레지스터(306)에는 상기 배타적 논리합 연산기(316)에서 연산 수행된 결과값 0이 저장된다. 상술한 바와 같이 상기  $t_1$ 시간이 경과되면 상기 쉬프트 레지스터들(300 내지 306)에는 각각 1, 0, 0, 0이 저장된다.

<31> 상기  $t_2$ 시간이 경과되면 상기 쉬프트 레지스터(300)에는 2번째 CRC 생성기 입력비트인 0과 상기  $t_1$ 시간에 상기 쉬프트 레지스터(306)에 저장되어 있던 값 0이 상기 배타적 논리합 연산기(310)에서 연산 수행된 결과값이 저장된다. 상기 연산 수행된 결과값은 0이다. 상기  $t_2$ 시간이 경과되면 상기 쉬프트 레지스터(302)에는 상기  $t_1$ 시간에 상기 쉬프트 레지스터(300)에 저장되어 있던 값 1과 상기  $t_1$ 시간에 상기 쉬프트 레지스터(306)에 저장되어 있던 값 0이 상기 배타적 논리합 연산기(312)에서 연산 수행된 결과값 0이 저장된다. 상기  $t_2$ 시간이 경과되면 상기 쉬프트 레지스터(304)에는 상기  $t_1$ 시간에 상기 쉬프트 레지스터(302)에 저장되어 있던 값 0

과 상기 t1시간에 상기 쉬프트 레지스터(306)에 저장되어 있던 값 0이 상기 배타적 논리합 연산기(314)에서 연산 수행된 결과값 0이 저장된다. 상기 t2시간이 경과되면 상기 쉬프트 레지스터(306)에는 상기 t1시간에 상기 쉬프트 레지스터(304)에 저장되어 있던 값 0과 상기 t1시간에 상기 쉬프트 레지스터(306)에 저장되어 있던 값 0이 상기 배타적 논리합 연산기(316)에서 연산 수행된 결과값 0이 저장된다. 따라서 상술한 바와 같이 상기 t2시간이 경과되면 상기 쉬프트 레지스터들(300 내지 306)에는 각각 0,1,0,0이 저장된다.

<32> t3시간이 경과되면 상기 쉬프트 레지스터(300)에는 3번째 CRC 생성기 입력비트인 1과 상기 t2시간에 상기 쉬프트 레지스터(306)에 저장되어 있던 값 0이 상기 배타적 논리합 연산기(310)에서 연산 수행된 결과값이 저장된다. 상기 연산 수행된 결과값은 1이다. 상기 t3시간이 경과되면 상기 쉬프트 레지스터(302)에는 상기 t2시간에 상기 쉬프트 레지스터(300)에 저장되어 있던 값 0과 상기 t2시간에 상기 쉬프트 레지스터(306)에 저장되어 있던 값 0이 상기 배타적 논리합 연산기(312)에서 연산 수행된 결과값 0이 저장된다. 상기 t3시간이 경과되면 상기 쉬프트 레지스터(304)에는 상기 t2시간에 상기 쉬프트 레지스터(302)에 저장되어 있던 값 1과 상기 t2시간에 상기 쉬프트 레지스터(306)에 저장되어 있던 값 0이 상기 배타적 논리합 연산기(314)에서 연산 수행된 결과값 1이 저장된다. 상기 t3시간이 경과되면 상기 쉬프트 레지스터(306)에는 상기 t2시간에 상기 쉬프트 레지스터(304)에 저장되어 있던 값 0과 상기 t2시간에 상기 쉬프트 레지스터(306)에 저장되어 있던 값 0이 상기 배타적 논리합 연산기(316)에서 연산 수행된 결과값 0이 저장된다. 따라서 상술한 바와 같이 상기 t3시간이 경과되면 상기 쉬프트 레지스터들(300 내지 306)에는 각각 1,0,1,0이 저장된다. 표 1은 상기 CRC 생성기에 의해 상기 CRC 생성기 입력비트들이 입력되어 상기 쉬프트 레지스터들(300 내지 306)에 저장되는 값들을 보이고 있다.

&lt;33&gt; 【표 1】

시간	CRC 입력비트	레지스터(300)	레지스터(302)	레지스터(304)	레지스터(306)
t1	1	1	0	0	0
t2	0	0	1	0	0
t3	1	1	0	1	0
t4	0	0	1	0	1
t5	0	1	1	0	1
t6	0	1	0	0	1
t7	1	0	0	1	1
t8	1	0	1	1	0
t9	0	0	0	1	1
t10	1	0	1	1	0
t11	1	1	0	1	1
t12	0	1	0	1	0
t13	0	0	1	0	1
t14	0	1	1	0	1
t15	0	1	0	0	1
t16	0	1	0	1	1
t17		1	0	1	0
t18		0	1	0	1
t19		1	1	0	1

<34> 상기 표 1에서 보이고 있는 바와 같이 상기 CRC 생성기는 상기 CRC 생성기 입력비트들이 모두 입력되어 배타적 논리합 연산이 수행되면 최종적으로 상기 쉬프트 레지스터(300 내지 306)에는 각각 1,1,0,1이 저장된다.

<35> 제 1 실시 예

<36> 도 4는 본 발명의 제 1 실시 예에 따른 상기 OFDM 송신기의 구조를 도시한 도면이다. 이하 상기 도 4를 중심으로 본 발명의 제 1 실시 예에 대해 상세히 설명한다. 상기 정보 비트는 이진 신호로서 상기 CRC 생성기(400)로 입력된다. 상기 정보비트는 상기 도 3에서 제안한 바와 같이 "1 0 1 0 0 0 1 1 0 1 1 0"로 가정한다. 상기 CRC 생성기(400)로 입력된 상기 정보비트들은 상기 도 3에서 생성한 상기 CRC 비트인 "1 1 0 1"를 상기 정보비트 뒤에 붙인다.

<37> 정보비트 + CRC비트 = 1 0 1 0 0 0 1 1 0 1 1 0 1 1 0 1

<38> 상기 CRC 생성기(400)에 의해 CRC 비트를 불인 상기 정보비트들은 복수개로 복사되어 확산기들(M1 내지 Mn)로 입력된다. 또한 마스크 생성기(310)은 상기 복수개의 상기 마스크 시퀀스를 생성하여 상기 대응되는 복수개의 가산기들(M1 내지 Mn)로 각각 입력된다. 상기 마스크 생성기(400)에 의해 생성된 복수 개의 마스크 시퀀스를 다음과 같이 정의한다.

<39>  $M1 = 1\ 0\ 0\ 1\ 0\ 0\ 1\ 1\ 0\ 1\ 1\ 1\ 0\ 0\ 0\ 1$

<40>  $M2 = 0\ 1\ 0\ 1\ 1\ 0\ 0\ 0\ 1\ 0\ 1\ 0\ 0\ 1\ 1\ 1$

<41>  $M3 = 1\ 0\ 1\ 1\ 0\ 0\ 0\ 1\ 0\ 1\ 0\ 0\ 1\ 0\ 1\ 1$

<42>  $Mn = 0\ 1\ 0\ 1\ 1\ 0\ 1\ 0\ 0\ 1\ 0\ 1\ 1\ 1\ 0\ 1$

<43> 상기 CRC 생성기(400)로부터의 출력 비트와 상기 마스크 생성기(410)로부터 생성된 마스크 시퀀스(M1)는 상기 가산기(420)로 입력되며, 상기 CRC 생성기(400)로부터의 출력 비트와 상기 마스크 생성기(410)로부터 생성된 마스크 시퀀스(M2)는 상기 가산기(422)로 입력된다. 또한 상기 CRC 생성기(400)로부터의 출력 비트와 상기 마스크 생성기(410)로부터 생성된 마스크 시퀀스(M3)는 상기 가산기(424)로 입력되며, 상기 CRC 생성기(400)로부터의 출력 비트와 상기 마스크 생성기(410)로부터 생성된 상기 마스크 시퀀스(Mn)는 상기 가산기(426)로 입력된다. 상기 복수개의 가산기들(M1 내지 Mn)은 입력된 상기 CRC 출력 비트와 상기 입력된 마스크 시퀀스를 배타적 논리합 연산을 수행한다. 상기 복수개의 가산기들(M1 내지 Mn)에서 상기 배타적 논리합 연산을 수행한 결과는 다음과 같다.

<44> 가산기(420) = 0 0 1 1 0 0 0 0 0 0 0 1 1 1 0 0

<45> 가산기(422) = 1 1 1 1 1 0 1 1 1 1 0 0 1 0 1 0

<46> 가산기(424) = 0 0 0 1 0 0 1 0 0 0 1 0 0 1 1 0

<47> 가산기(426) = 1 1 1 1 1 0 0 1 0 0 1 1 0 0 0 0

<48> 상기 가산기들(M1 내지 Mn)에서 배타적 논리합 연산이 수행되어진 비트값들은 채널 부호기들(430 내지 436)로 입력된다. 상기 채널 부호기들(430 내지 436)은 입력된 비트값들을 부호화하여 상기 부호화 심벌들을 출력한다. 상기 채널 부호기들(430 내지 436)에서 사용되는 부호율에는 여러 가지 있을 수 있지만 여기서는 일 예로 상기 부호율이 1/2인 경우를 가정한다. 상기 1/2 부호율에 의해 상기 채널 부호기들(430 내지 436)은 32비트의 부호화 비트를 출력한다. 상기 채널 부호기들(430 내지 436)로부터 출력된 상기 부호화 심벌들은 각각 대응되는 변조부들(440 내지 446)로 입력된다. 상기 변조부들(440 내지 446)은 입력받은 부호화 심벌들을 심벌 매핑 성상도에 심벌 매핑하여 출력한다. 상기 변조부의 변조방식으로는 QPSK, 8PSK, 16QAM, 64QAM 등이 존재한다. 상기 심벌을 구성하는 비트 수는 상기 각각의 변조방식들에 대응하여 정의되어 있다. 상기 QPSK 변조 방식은 2비트로 구성되며, 상기 8PSK는 3비트로 구성된다. 또한 16QAM 변조 방식은 4비트로 구성되며, 64QAM 변조방식은 6비트로 구성된다. 상기 QPSK 변조 방식에 의해 이루어진다면 상기 32비트의 부호화 비트는 모두 16개의 부호화 심벌로 나누어진 뒤 변조 과정을 수행한다. 상기 변조 과정이 수행된 부호화 심벌들은 각각 대응되는 IFFI부들(450 내지 456)로 입력된다. 상기 IFFT부로 입력된 상기 부호화 심벌들은 IFFT이 수행된다. 상기 IFFI가 수행되어진 상기 부호화 심벌들은 PAPR 계산 및 비교 선택부(450)로 입력된다. 본 발명에서는 상기 PAPR 계산과 상기 계산된 PAPR의 비교 선택부가 하나의 장치로 구성되어 있으나 상기 장치는 2개의 장치로 구성될 수 있음을 자명하다. 상기 PAPR 계산 및 비교 선택부(450)는 상기 입력된 상기 부호화 심벌들의 PAPR을 계산하며 상기 계산된 N 개의 PAPR 중 가장 낮은 PAPR을 갖는 부호화 심벌을 선택하여 수신기로 전송한다. 예를 들어 상기 마스크 생성기

(410)에 의해 생성된 마스크 시퀀스(M1)에 의한 상기 부호화 심벌의 PAPR가 가장 낮은 값을 갖는다고 가정하면, 상기 IFFI(450)에서 출력된 부호화 심벌이 상기 수신기로 송신된다.

<49>      도 5는 본 발명이 적용되는 상기 도 4의 송신기에 따른 수신기의 구조를 도시한 도면이다. 이하 상기 도 5를 중심으로 상기 OFDM 시스템의 수신기 구조에 대해 알아본다. 상기 도 4의 송신기로부터 전송된 수신 신호는 FFT부(500)로 입력된다. 상기 FFT부(500)로 입력된 수신 신호는 상기 FFT 과정을 수행한 후, 복조부(510)로 입력된다. 상기 복조부(510)는 상기 도 4의 변조부(440 내지 446)의 상기 심벌 매핑 성상도와 동일한 상기 심벌 매핑 성상도를 가지고 있으며, 상기 심벌 매핑 성상도에 의해 상기 역학산된 심벌을 이진 신호로 변환된다. 즉, 상기 복조 방식은 상기 변조 방식에 의해 결정된다. 상기 도 4의 변조 방식이 QPSK인 경우 상기 복조 방식도 상기 QPSK 방식을 사용하며, 상기 변조 방식이 8PSK인 경우 상기 복조 방식도 상기 8PSK 방식을 사용한다. 상기 복조 과정을 수행하면 상기 수신 신호는 32비트의 2진로 구성된다. 상기 복조 과정이 수행된 상기 2진 신호는 채널 복호기(520)로 입력된다. 상기 채널 복호기(520)로 입력된 상기 이진 신호는 복호화 과정을 수행한다. 상기 채널 복호기(520)의 복호화 방식은 상기 채널 부호화기(430)

내지 436)의 부호화 방식에 의해 결정된다. 상기 복호기(530)로부터 출력된 복호신호는 복수개로 복사되어 가산기들(540 내지 546)로 입력된다. 또한 상기 마스크 생성기(530)로부터 생성된 복수개의 마스크 시퀀스들은 각각 대응되는 상기 가산기들(540 내지 546)로 입력된다. 상기 수신기의 마스크 생성기(540)는 상기 송신기의 마스크 생성기(410)와 동일한 구조로 이루어져 있다. 상기 복호신호와 상기 마스크 생성기(530)로부터 생성된 상기 마스크 시퀀스(M1)은 상기 가산기(540)으로 입력되고, 상기 복호신호와 상기 마스크 생성기(530)로부터 생성된 상기 마스크 시퀀스(M2)은 상기 가산기(542)으로 입력된다. 또한, 상기 복호신호와 상기 마스크 생성기(530)로부터 생성된 상기 마스크 시퀀스(M3)은 상기 가산기(544)으로 입력되고, 상기 복호신호와 상기 마스크 생성기(530)로부터 생성된 상기 마스크 시퀀스(Mn)은 상기 가산기(546)으로 입력된다. 상기 가산기들(540 내지 546)에서는 상기 입력된 복호신호와 상기 입력된 마스크 시퀀스의 배타적 논리합 연산을 수행한다. 상기 과정은 상기 도 4의 마스크 생성기(410)에 의해 생성된 마스크를 제거하는 과정이다.

<50>      가산기(540) = 1 0 1 0 0 0 1 1 0 1 1 0 1 1 0 1

<51>      가산기(542) = 0 1 1 0 1 0 0 0 1 0 1 1 1 0 1 1

<52>      가산기(544) = 1 0 0 0 0 0 0 1 0 1 0 1 0 1 1 1

<53>      가산기(546) = 0 1 1 0 1 0 1 0 0 1 0 0 0 0 0 1

<54>      상기 가산기들(540 내지 546)로부터 출력된 비트열들은 CRC 검사기들(550 내지 556)들로 각각 입력된다. 상기 CRC 검사기들(550 내지 556)은 상기 CRC

생성기(400)와 동일한 구성으로 이루어져 있다. 또한 상기 CRC 검사기들(550 내지 555)의 동작은 상기 CRC 생성기(400)의 생성 다항식의 차수만큼 0을 뒤에 붙이는 과정만 제외하면 동일하다. 즉 상기 CRC 검사기들(550 내지 556)은 입력된 정보에 대하여 쉬프트 연산과 배타적 논리합 연산을 순차적으로 수행한다. 이하 상기 CRC 검사기(550)의 동작에 대해 도 3을 이용하여 설명한다.

<55> 상기 가산기(540)의 출력 비트열들을 제일 왼쪽의 비트부터 하나씩 상기 CRC 검사기(550)로 입력된다. 또한 상기 CRC 검사기(550)의 특정 쉬프트 레지스터에 저장되어 있는 특정 비트가 다음 쉬프트 레지스터로 이동하는데 걸리는 시간을  $t_1$ 이라고 가정하고, 이후 다음 쉬프트 레지스터로 이동하는데 걸리는 시간을  $t_2$ 라고 가정한다. 또한 상기 쉬프트 레지스터들(300 내지 306)은 모두 0의 초기 값을 갖도록 설정한다.

<56> 상기  $t_1$ 시간이 경과되면 상기 쉬프트 레지스터(300)에는 1번째 CRC 검사기(550) 입력비트인 1과 상기 쉬프트 레지스터(306)에 저장되어 있던 초기값 0이 상기 배타적 논리합 연산기(310)에서 연산 수행된 결과값이 저장된다. 상기 연산 수행된 결과값은 1이다. 상기  $t_1$ 시간이 경과되면 상기 쉬프트 레지스터(302)에는 상기 쉬프트 레지스터(300)에 저장되어 있던 초기값 0과 상기 쉬프트 레지스터(306)에 저장되어 있던 초기값 0이 상기 배타적 논리합 연산기(312)에서 연산 수행된 결과값 0이 저장된다. 상기  $t_1$ 시간이 경과되면 상기 쉬프트 레지스터(304)에는 상기 쉬프트 레지스터(302)에 저장되어 있던 초기값 0과 상기 쉬프트 레지스터(306)에 저장되어 있던 초기값 0이 상기 배타적 논리합 연산기(314)에서 연산 수행된 결과값 0이 저장된다. 상기  $t_1$ 시간이 경과되면 상기 쉬프트 레지스터(306)에는 상기 쉬프트 레지스터(304)에 저장되어 있던 초기값 0과 상기 쉬프트 레지스터(306)에 저장되어 있던 초기값 0이 상기 배타적 논리

합 연산기(316)에서 연산 수행된 결과값 0이 저장된다. 상술한 바와 같이 상기 t1시간이 경과되면 상기 쉬프트 레지스터들(300 내지 306)에는 각각 1,0,0,0이 저장된다.

<57> 상기 t2시간이 경과되면 상기 쉬프트 레지스터(300)에는 2번째 CRC 검사기(550) 입력비트인 0과 상기 t1시간에 상기 쉬프트 레지스터(306)에 저장되어 있던 값 0이 상기 배타적 논리합 연산기(310)에서 연산 수행된 결과값이 저장된다. 상기 연산 수행된 결과값은 0이다. 상기 t2시간이 경과되면 상기 쉬프트 레지스터(302)에는 상기 t1시간에 상기 쉬프트 레지스터(300)에 저장되어 있던 값 1과 상기 t1시간에 상기 쉬프트 레지스터(306)에 저장되어 있던 값 0이 상기 배타적 논리합 연산기(312)에서 연산 수행된 결과값 0이 저장된다. 상기 t2시간이 경과되면 상기 쉬프트 레지스터(304)에는 상기 t1시간에 상기 쉬프트 레지스터(302)에 저장되어 있던 값 0과 상기 t1시간에 상기 쉬프트 레지스터(306)에 저장되어 있던 값 0이 상기 배타적 논리합 연산기(314)에서 연산 수행된 결과값 0이 저장된다. 상기 t2시간이 경과되면 상기 쉬프트 레지스터(306)에는 상기 t1시간에 상기 쉬프트 레지스터(304)에 저장되어 있던 값 0과 상기 t1시간에 상기 쉬프트 레지스터(306)에 저장되어 있던 값 0이 상기 배타적 논리합 연산기(316)에서 연산 수행된 결과값 0이 저장된다. 따라서 상술한 바와 같이 상기 t2시간이 경과되면 상기 쉬프트 레지스터들(300 내지 306)에는 각각 0,1,0,0이 저장된다.

<58> t3시간이 경과되면 상기 쉬프트 레지스터(300)에는 3번째 CRC 검사기(550) 입력비트인 1과 상기 t2시간에 상기 쉬프트 레지스터(306)에 저장되어 있던 값 0이 상기 배타적 논리합 연산기(310)에서 연산 수행된 결과값이 저장된다. 상기 연산 수행된 결과값은 1이다. 상기 t3시간이 경과되면 상기 쉬프트 레지스터(302)에는 상기 t2시간에 상기 쉬프트 레지스터(300)에 저장되어 있던 값 0과 상기 t2시간에 상기 쉬프트 레지스터(306)에 저장되어 있던 값 0이 상기 배타적 논리합 연산기(312)에서 연산 수행된 결과값 0이 저장된다. 상기 t3시간이 경과되면 상

기 쉬프트 레지스터(304)에는 상기 t2시간에 상기 쉬프트 레지스터(302)에 저장되어 있던 값 1과 상기 t2시간에 상기 쉬프트 레지스터(306)에 저장되어 있던 값 0이 상기 배타적 논리합 연산기(314)에서 연산 수행된 결과값 1이 저장된다. 상기 t3시간이 경과되면 상기 쉬프트 레지스터(306)에는 상기 t2시간에 상기 쉬프트 레지스터(304)에 저장되어 있던 값 0과 상기 t2시간에 상기 쉬프트 레지스터(306)에 저장되어 있던 값 0이 상기 배타적 논리합 연산기(316)에서 연산 수행된 결과값 0이 저장된다. 따라서 상술한 바와 같이 상기 t3시간이 경과되면 상기 쉬프트 레지스터들(300 내지 306)에는 각각 1,0,1,0이 저장된다. 표 2는 상기 CRC 생성기에 의해 상기 CRC 생성기 입력비트들이 입력되어 상기 쉬프트 레지스터들(300 내지 306)에 저장되는 값을 보이고 있다.

&lt;59&gt; 【표 2】

시간	CRC 입력비트	레지스터(300)	레지스터(302)	레지스터(304)	레지스터(306)
t1	1	1	0	0	0
t2	0	0	1	0	0
t3	1	1	0	1	0
t4	0	0	1	0	1
t5	0	1	1	0	1
t6	0	1	0	0	1
t7	1	0	0	1	1
t8	1	0	1	1	0
t9	0	0	0	1	1
t10	1	0	1	1	0
t11	1	1	0	1	1
t12	0	1	0	1	0
t13	1	1	1	0	1
t14	1	0	0	0	1
t15	0	1	1	1	1
t16	1	0	0	0	0
t17		0	0	0	0
t18		0	0	0	0
t19		0	0	0	0

<60> 상기 표 2에서 보이고 있는 바와 같이 상기 CRC 검사기(550)는 상기 가산기(540)의 출력 비트열들이 모두 입력되어 배타적 논리합 연산이 수행되면 최종적으로 상기 쉬프트 레지스터(300 내지 306)에는 각각 0,0,0,0이 저장된다.

<61> 상기와 같은 과정을 수행함으로서 상기 CRC 검사기들(552 내지 556)은 최종적으로 표 3과 같은 결과를 얻을 수 있다.

<62> 【표 3】

CRC 검사기	레지스터(300)	레지스터(302)	레지스터(304)	레지스터(306)
CRC 검사기(552)	0	1	0	0
CRC 검사기(554)	0	0	1	1
CRC 검사기(556)	1	0	0	1

<63> 상기 CRC 검사기들(550 내지 556)은 상기 쉬프트 레지스터들(300 내지 306)에 최종적으로 저장된 값들과 상기 가산기들(540 내지 546)의 출력 비트열을 선택기(560)로 전달한다. 상기 선택기(560)는 상기 CRC 검사기들(550 내지 556)로부터 전달된 쉬프트 레지스터 값들을 검사한다. 상기 검사 결과 상기 선택기(560)는 상기 CRC 검사기(550)로부터 전달된 상기 쉬프트 레지스터 값들이 모두 0이므로 오류가 검출되지 않았음을 인식하게 되고, 상기 CRC 검사기들(552 내지 556)로부터 전달된 상기 쉬프트 레지스터 값들은 1을 포함하고 있으므로 오류가 발생하였음을 인식하게 된다. 따라서 상기 선택기(560)는 상기 CRC 검사기(550)로부터 전달된 출력 비트열을 상기 송신기로부터 전달된 신호임을 인식하고, 전달된 16비트 중 CRC 검사를 위한 마지막 4비트를 제외한 12비트가 상기 정보비트로 선택한다. 또한 상기 수신기는 상기 마스크 생성기(530)로부터 생성된 마스크 시퀀스(M1)가 상기 송신기의 마스크 생성기(410)로부터 생성된 마스크 시퀀스(M1)임을 알 수 있게 된다.

<64> 제 2 실시 예

<65> 도 6은 본 발명의 제 2 실시 예에 따른 상기 OFDM 송신기의 구조를 도시한 도면이다. 이하 상기 도 6를 중심으로 본 발명의 제 2 실시 예에 대해 상세히 설명한다. 상기 정보 비트는 이진 신호로서 상기 CRC 생성기(600)로 입력된다. 상기 CRC 생성기(600)로 입력된 상기 정보비트를 이용하여 상기 CRC 비트를 생성한다. 상기 CRC 생성 과정에 대해서는 상기 도 3의 설명과 동일하다. 상기 CRC 생성기(600)는 상기 생성된 CRC 비트를 상기 정보비트 뒤에 부가하여 출력한다. 상기 CRC 생성기(600)로부터 출력된 이진 신호는 채널 부호기(610)로 입력된다. 상기 채널 부호기(600)는 입력된 이진비트들을 부호화하여 상기 부호화 심벌들을 출력한다. 상기 부호화 심벌들은 변조부(620)로 입력된다. 상기 변조부(620)는 입력받은 부호화 심벌들을 심벌 매핑 성상도에 심벌 매핑하여 출력한다. 상기 변조부의 변조방식으로는 QPSK, 8PSK, 16QAM, 64QAM 등이 존재한다. 상기 심벌을 구성하는 비트 수는 상기 각각의 변조방식들에 대응하여 정의되어 있다. 상기 QPSK 변조 방식은 2비트로 구성되며, 상기 8PSK는 3비트로 구성된다. 또한 16QAM 변조 방식은 4비트로 구성되며, 64QAM 변조방식은 6비트로 구성된다. 상기 변조부(620)로부터 출력된 변조 심벌은 복수 개의 신호로 복사된다. 상기 도 6에서는 상기 변조부의 변조 심벌이 N 개의 출력 심벌로 복사되고 있다. 마스크 생성기(630)는 독립적인 마스크 시퀀스(M1 내지 Mn)를 생성한다. 상기 확산기(640)에는 상기 변조 심벌과 상기 마스크 생성기(530)로부터 생성된 마스크 시퀀스(M1)가 입력되고, 상기 확산기(642)에는 상기 변조 심벌과 상기 마스크 생성기(530)로부터 생성된 마스크 시퀀스(M2)가 입력된다. 또한, 상기 확산기(644)에는 상기 변조 심벌과 상기 마스크 생성기(630)로부터 생성된 마스크 시퀀스(M3)가 입력되며, 상기 확산기(646)에는 상기 변조 심벌과 상기 마스크 생성기(630)로부터 생성된 마스크 시퀀스(Mn)가 입력된다.

<66> 상기 확산기들(640 내지 646)로 입력된 상기 변조 심벌은 상기 입력된 마스크 시퀀스를 곱함으로서 심벌 확산을 수행한다. 상기 확산기(640)에 의해 확산된 변조 심벌은 IFFI부(650)로 입력되고, 상기 확산기(642)에 의해 확산된 확산 심벌은 IFFT부(652)로 입력된다. 또한 상기 확산기(644)에 의해 확산된 확산 심벌은 IFFT부(654)로 입력되고, 상기 확산기(646)부에 의해 확산된 변조 심벌은 IFFI부(656)로 입력된다. 상기 IFFI부들(650 내지 656)로 입력된 상기 확산된 변조 심벌들은 IFFI이 수행된다. 상기 IFFI가 수행되어진 상기 확산된 변조 심벌들은 PAPR 계산 및 비교 선택부(660)로 입력된다. 상기 PAPR 계산 및 비교 선택부(660)는 상기 입력된 변조 심벌들의 PAPR을 계산하며 상기 계산된 N 개의 PAPR 중 가장 낮은 PAPR을 갖는 상기 변조 심벌을 선택하여 수신기로 전송한다.

<67> 도 7은 본 발명이 적용되는 상기 도 6의 송신기에 따른 수신기의 구조를 도시한 도면이다. 이하 상기 도 7을 중심으로 상기 OFDM 시스템의 수신기 구조에 대해 알아본다. 상기 도 6의 송신기로부터 전송된 수신 신호는 FFT부(700)로 입력된다. 상기 FFI부(700)로 입력된 상기 수신 신호는 FFI 과정이 수행된다. 상기 FFI과정이 수행된 상기 수신 신호는 역확산기들(720 내지 726)들로 입력된다. 또한 마스크 생성기(710)로부터 생성된 서로 독립적인 복수개의 마스크 시퀀스들도 상기 역확산기들(720 내지 726)로 입력된다. 상기 역확산기(720)에는 상기 FFT 신호와 상기 마스크 생성기(710)로부터 생성된 마스크 시퀀스(M1)이 입력되고, 상기 역확산기(722)에는 상기 FFT 신호와 상기 마스크 생성기(710)로부터 생성된 마스크 시퀀스(M2)가 입력된다. 또한 상기 역확산기(724)에는 상기 FFT 신호와 상기 마스크 생성기(710)로부터 생성된 마스크 시퀀스(M3)가 입력되며, 상기 역확산기(766)에는 상기 FFT 신호와 상기 마스크 생성기(710)로부터 생성된 마스크 시퀀스(Mn)이 입력된다. 상기 역확산기들(720 내지 726)로 입력된 상기 FFT 신호들은 상기 입력된 마스크 시퀀스들(M1 내지 Mn)들에 의해 역확산된다.

<68> 상기 역학산 과정을 수행한 역학산 신호들은 각각의 복조부들(730 내지 736)로 입력된다.

상기 복조부들(730 내지 736)은 상기 도 6의 변조부의 상기 심벌 매핑 성상도와 동일한 상기 심벌 매핑 성상도를 가지고 있으며, 상기 심벌 매핑 성상도에 의해 상기 역학산된 심벌을 이진 신호로 변환된다. 즉, 상기 복조 방식은 상기 변조 방식에 의해 결정된다. 상기 도 6의 변조 방식이 QPSK인 경우 상기 복조 방식도 상기 QPSK 방식을 사용하며, 상기 변조 방식이 8PSK인 경우 상기 복조 방식도 상기 8PSK 방식을 사용한다. 상기 각 복조부들(730 내지 736)에 의해 보조 과정이 수행되어진 이진 신호들은 각 대응되는 채널 복호기들(740 내지 746)로 입력된다. 상기 채널 복호기들(740 내지 746)로 입력된 상기 이진 신호들은 복호화 과정을 수행한다. 상기 채널 복호기들(740 내지 746)의 복호화 방식은 상기 채널 부호기(610)의 부호화 방식에 의해 결정된다. 상기 채널 복호기들(740 내지 746)에 의해 보호화 과정이 수행된 상기 이진 신호들은 각 대응하는 CRC 검사기들(750 내지 756)로 입력된다. 상기 CRC 검사기들(750 내지 756)은 상기 도 6의 CRC 생성기(600)와 동일한 구조로 이루어져 있다. 또한 상기 CRC 검사기들(750 내지 755)의 동작은 상기 CRC 생성기(600)의 생성 다항식의 차수만큼 0을 뒤에 붙이는 과정만 제외하면 동일하다. 즉 상기 CRC 검사기들(750 내지 756)은 입력된 정보에 대하여 쉬프트 연산과 배타적 논리합 연산을 순차적으로 수행한다. 이하 상기 CRC 검사기들(750 내지 756)의 동작은 상기 도 5의 CRC 검사기들(450 내지 456)과 동일하다. 상기 CRC 검사기들(750 내지 756)은 상기 쉬프트 레지스터들(300 내지 306)에 최종적으로 저장된 값들과 상기 채널 복호기들(740 내지 746)의 출력 이진 신호를 선택기(760)로 전달한다. 상기 선택기(760)는 상기 CRC 검사기들(750 내지 756)로부터 전달된 쉬프트 레지스터 값들을 검사한다. 전달된 상기 쉬프트 레지스터 값들이 모두 0이므로 오류가 검출되지 않았음을 인식하게 되고, 전달된 상기 쉬프트 레지스터 값들은 1을 포함하고 있으므로 오류가 발생하였음을 인식하게 된다. 따라서 상기 선택기

기(760)는 상기 CRC 검사기들(750 내지 756)로부터 전달된 출력 비트열 중 상기 쉬프트 레지스터 값들이 모두 1인 검사기의 출력 비트열이 상기 송신기로부터 전달된 신호임을 인식하고, 전달된 16비트 중 CRC 검사를 위한 마지막 4비트를 제외한 12비트가 상기 정보비트로 선택한다. 또한 상기 수신기는 상기 마스크 생성기(710)로부터 생성된 마스크 시퀀스가 상기 송신기의 마스크 생성기(630)로부터 생성된 마스크 시퀀스임을 알 수 있게 된다.

<69> 제 3 실시 예

<70> 도 8은 본 발명에 따른 또 다른 OFDM 시스템의 수신기의 구조를 도시한 도면이다. 상기 도 8의 수신기에 대응되는 송신기의 구조는 상기 도 4와 동일하다. 또한 상기 4에는 마스크 생성기(410)에서 생성된 마스크 시퀀스(M1)에 대한 PAPR이 가장 작은 값을 갖는다고 하였으나, 상기 도 8에서는 상기 마스크 생성기(410)에서 생성된 마스크 시퀀스(M2)에 대한 상기 PAPR이 가장 작은 값을 갖는다고 가정한다. 따라서 상기 마스크 생성기(410)에 의해 생성된 상기 마스크 시퀀스(M2)에 의해 마스크된 송신신호가 송신된다. 이하 상기 도 4의 마스크 생성기(410)에서 생성된 상기 마스크 시퀀스 값과 (정보비트+CRC)을 다시 기술한다.

<71> 정보비트+CRC = 1 0 1 0 0 0 1 1 0 1 1 0 1 1 0 1

<72> M1 = 1 0 0 1 0 0 1 1 0 1 1 1 0 0 0 1

<73> M2 = 0 1 0 1 1 0 0 0 1 0 1 0 0 1 1 1

<74> M3 = 1 0 1 1 0 0 0 1 0 1 0 0 1 0 1 1

<75> Mn = 0 1 0 1 1 0 1 0 0 1 0 1 1 1 0 1

<76> 이하 상기 도 8의 중심으로 상기 OFDM 송신기의 구조에 대해 설명한다. 상기 도 4의 송신기로부터 전송된 수신 신호는 FFT부(800)로 입력된다. 상기 FFT부(800)로 입력된 수신 신호는 상기 FFT 과정을 수행한 후, 복조부(810)로 입력된다. 상기 복조부(810)는 상기 도 4의 변조부(440 내지 446)의 상기 심벌 매핑 성상도와 동일한 상기 심벌 매핑 성상도를 가지고 있으며, 상기 심벌 매핑 성상도에 의해 상기 역학산된 심벌을 이진 신호로 변환된다. 즉, 상기 복조 방식은 상기 변조 방식에 의해 결정된다. 상기 도 4의 변조 방식이 QPSK인 경우 상기 복조 방식도 상기 QPSK 방식을 사용하며, 상기 변조 방식이 8PSK인 경우 상기 복조 방식도 상기 8PSK 방식을 사용한다. 상기 복조 과정을 수행하면 상기 수신 신호는 32비트의 2진로 구성된다. 상기 복조 과정이 수행된 상기 2진 신호는 채널 복호기(820)로 입력된다. 상기 채널 복호기(820)로 입력된 상기 이진 신호는 복호화 과정을 수행한다. 상기 채널 복호기(820)의 복호화 방식은 상기 채널 부호화기(430 내지 436)의 부호화 방식에 의해 결정된다. 상기 채널 복호기(820)에서 복호된 신호는 상기 가산기들(840, 870)로 입력된다. 상기 가산기들(840, 870)로 입력된 신호는 다음과 같다.

<77>  $(\text{정보비트} + \text{CRC}) \oplus M2 = 1\ 1\ 1\ 1\ 1\ 0\ 1\ 1\ 1\ 1\ 0\ 0\ 1\ 0\ 1\ 0$

<78> 마스크 생성기(830)는 복수개의 마스크 시퀀스 중 하나의 시퀀스를 생성한다. 본 발명에서는 상기 복수 개의 마스크 시퀀스 중 마스크 시퀀스(M1)를 생성한다고 가정한다. 상기 마스크 생성기(830)로부터 생성된 마스크 시퀀스(M1)는 상기 가산기(840)로 입력된다. 상기 가산기(840)는 입력된 마스크 시퀀스(M1)와 상기 채널 복호기(820)로부터 입력된 신호를 각 비트별로 배타적 가산을 수행한다. 상기 가산기(840)에 의해 상기 배타적 가산이 수행되어진 값은 다음과 같다.

<79>  $((\text{정보비트} + \text{CRC}) \oplus M2) \oplus M1 = 0\ 1\ 1\ 0\ 1\ 0\ 0\ 0\ 1\ 0\ 1\ 1\ 1\ 0\ 1\ 1$

<80> 상기 가산기(840)에서 배타적 가산이 수행되어진 2진 신호는 CRC 검사기(850)로 입력된다. 상기 CRC 검사기(850)는 도 4의 CRC 생성기(400)와 동일한 구조로 이루어져 있다. 또한 상기 CRC 검사기(850)의 동작은 상기 CRC 생성기(400)의 생성 다항식의 차수만큼 0을 뒤에 붙이는 과정만 제외하면 동일하다. 즉 상기 CRC 검사기(850)는 입력된 정보에 대하여 쉬프트 연산과 배타적 논리합 연산을 순차적으로 수행한다. 이하 상기 CRC 검사기(850)의 동작은 상기 도 5의 CRC 검사기들(450 내지 456)과 동일하다. 상기 CRC 검사기(850)는 입력된 상기 2진 신호에 대한 CRC 검사를 수행한다. 상기 CRC 검사를 수행한 값은 "0 1 0 0"이다. 상기 CRC 검사를 수행한 상기 CRC 검사기(850)는 상기 CRC 검사값을 제어기(860)로 전달한다. 상기 제어기(860)는 (M1+M2), (M1+M3), (M1+M4)에 대한 CRC 검사값을 저장하고 있다. 이 경우 상기 마스크 생성기(830)로부터 마스크 시퀀스(M2)가 생성되면 상기 제어기(860)는 (M2+M1), (M2+M3), (M2+M4)에 대한 상기 CRC 검사값을 저장하고 있다. 이하 표 4에서 상기 (M1+M2), (M1+M3), (M1+M4)에 대한 CRC 검사값에 대해 알아본다.

<81> 【표 4】

	배타적 가산값	CRC 검사값
M1+M2	1 1 0 0 1 0 1 1 1 1 0 1 0 1 1 0	0 1 0 0
M1+M3	0 0 1 0 0 0 1 0 0 0 1 1 1 0 1 0	0 0 1 1
M1+M4	1 1 0 0 1 0 0 1 0 0 1 0 1 1 0 0	1 0 0 1

<82> 상기 제어기(860)는 상기 저장되어 있는 상기 표3과 상기 CRC 검사기(850)로부터 입력된 상기 2진 신호의 CRC 검사값을 비교한다. 상기 입력된 2진 신호의 CRC 검사값은 상술한 바와 같이 "0, 1, 0, 0"이다. 또한 상기 (M1+M2)에 대한 CRC 검사값 역시 "0, 1, 0, 0"이다. 따라서 상기 제어기(860)는 상기 송신기의 마스크 생성기(410)가 마스크 시퀀스(M2)를 생성하여 상기 송신신호에 마스킹하였음을 인식하게 된다. 따라서 상기 제어기(860)는 상기 마스크 생성기

(830)로 마스크 시퀀스(M2)를 생성하여 상기 배터적 가산기(870)으로 입력하도록 제어한다. 상기 가산기(870)는 상기 채널 복호기(820)로부터 입력된 상기 복호 신호와 상기 마스크 생성기(830)로부터 생성된 마스크 시퀀스(M2)를 배타적 가산함으로서 상기 송신기에서 사용된 마스크 시퀀스(M2)를 제거하게 된다. 상기 마스크가 제거된 16비트 중 CRC 검사를 위한 마지막 4비트를 제외한 12비트가 상기 정보비트로 선택한다.

<83> 만약 상기 송신기의 마스크 생성기(410)에서 마스크 시퀀스(M1)을 생성하여 상기 송신신호 마스킹하여 상기 수신기로 전송하였다면, 상기 CRC검사기(850)에 의해 상기 송신신호의 CRC 검사값은 "0 0 0 0"을 가지게 될 것이다. 이 경우 상기 제어기(860)는 상기 송신기에서 마스크 시퀀스(M1)을 마스킹하여 송신하였음을 인식하게 된다. 따라서 상기 제어기(860)는 상기 마스크 생성기(830)로 마스크 시퀀스(M1)를 생성하여 상기 배터적 가산기(870)으로 입력하도록 제어한다.

### 【발명의 효과】

<84> 상술한 바와 같이 본 발명은 OFDM 시스템에서 별도의 부가정보의 전송없이 PAPR을 효과적으로 감소시킴으로서, 부가정보의 전송이 필요로 하는 종래 기술에 비해 한정된 채널자원을 효과적으로 사용할 수 있다. 또한 부가정보를 별도의 채널로 전송하지 않음으로서 시스템의 복잡도와 구현 비용이 줄일 수 있게 된다.

**【특허청구범위】****【청구항 1】**

송신하고자 하는 입력 정보비트들의 열을 역 고속 푸리에 변환에 의해 직교주파수분할다중 방식에 따른 심벌들의 열로 생성하는 이동통신시스템의 송신기에서 상기 심벌들의 열의 피크전력 대 평균전력 비를 감소시키는 방법에 있어서,

상기 입력 정보비트들의 열로부터 사이클릭 리던던시 코드(CRC) 비트들을 생성하고, 상기 생성된 CRC 비트들을 상기 입력 정보비트들의 열의 뒤에 부가하여 출력하는 과정과,

상호 독립적인 복수의 마스크 시퀀스들을 생성하고, 상기 생성한 복수의 마스크 시퀀스들을 각각을 상기 CRC 비트들이 부가된 입력 정보비트들의 열에 마스킹하는 과정과,

상기 마스킹이 이루어진 복수의 입력 정보비트들의 열들 각각에 대한 상기 피크전력 대 평균전력 비들을 계산하고, 상기 계산한 복수의 피크전력 대 평균전력 비들 중 가장 작은 값에 대응하는 마스킹된 입력 정보비트들의 열을 전송하는 과정을 포함함을 특징으로 하는 상기 방법.

**【청구항 2】**

송신기로부터 역 고속 푸리에 변환에 의해 전송되는 직교주파수분할다중 방식에 따른 심벌들의 열을 수신하는 이동통신시스템의 수신기에서 상기 심벌들의 열로부터 정보비트들의 열을 출력하는 방법에 있어서,

상기 심벌들의 열에 대해 고속 푸리에 변환을 수행하고, 상기 고속 푸리에 변환에 의한 정보비트들의 열을 상호 독립적인 복수의 마스크 시퀀스들 각각으로 역 마스킹하여 출력하는 과정과,

상기 역 마스킹되어 출력되는 정보비트들의 열들 각각은 고유의 CRC 비트들을 포함하고, 상기 CRC 비트들에 의해 상기 역 마스킹되어 출력되는 정보비트들의 열들 각각의 CRC 검사를 수행하는 과정과,

상기 역 마스킹되어 출력되는 정보비트들의 열들 중 상기 CRC 검사에 의해 에러가 발생하지 않은 역 마스킹된 정보비트들의 열을 선택하고, 상기 선택한 정보비트들의 열에 포함된 CRC 비트들을 제거하여 출력하는 과정을 포함함을 특징으로 하는 상기 방법.

### 【청구항 3】

송신하고자 하는 입력 정보비트들의 열을 역 고속 푸리에 변환에 의해 직교주파수분할다 중 방식에 따른 심벌들의 열로 생성하는 이동통신시스템의 송신기에서 상기 심벌들의 열의 피크전력 대 평균전력 비를 감소시키는 장치에 있어서,

상기 입력 정보비트들의 열로부터 사이클릭 리던던시 코드(CRC) 비트들을 생성하고, 상기 생성된 CRC 비트들을 상기 입력 정보비트들의 열의 뒤에 부가하여 출력하는 CRC 생성기와,

상호 독립적인 복수의 마스크 시퀀스들을 생성하고, 상기 생성한 복수의 마스크 시퀀스 들 각각을 상기 CRC 비트들이 부가된 입력 정보비트들의 열에 마스킹하는 마스킹부와,

상기 마스킹이 이루어진 복수의 입력 정보비트들의 열들 각각에 대한 상기 피크전력 대 평균전력 비들을 계산하고, 상기 계산한 복수의 피크전력 대 평균전력 비들 중 가장 작은 값에

대응하는 마스킹된 입력 정보비트들의 열을 전송하는 피크전력 대 평균전력 비 계산 및 비교 선택기를 적어도 포함함을 특징으로 하는 상기 장치.

#### 【청구항 4】

송신기로부터 역 고속 푸리에 변환에 의해 전송되는 직교주파수분할다중 방식에 따른 심벌들의 열을 수신하는 이동통신시스템의 수신기에서 상기 심벌들의 열로부터 정보비트들의 열을 출력하는 장치에 있어서,

상기 심벌들의 열에 대해 고속 푸리에 변환을 수행하고, 상기 고속 푸리에 변환에 의한 정보비트들의 열을 상호 독립적인 복수의 마스크 시퀀스들 각각으로 역 마스킹하여 출력하는 역 마스킹부와,

상기 역 마스킹되어 출력되는 정보비트들의 열들 각각은 고유의 CRC 비트들을 포함하고, 상기 CRC 비트들에 의해 상기 역 마스킹되어 출력되는 정보비트들의 열들 각각의 CRC 검사를 수행하는 CRC 검사부들과,

상기 역 마스킹되어 출력되는 정보비트들의 열들 중 상기 CRC 검사에 의해 에러가 발생하지 않은 역 마스킹된 정보비트들의 열을 선택하고, 상기 선택한 정보비트들의 열에 포함된 CRC 비트들을 제거하여 출력하는 선택기를 적어도 포함함을 특징으로 하는 상기 장치.

**【청구항 5】**

송신하고자 하는 입력 정보비트들의 열을 역 고속 푸리에 변환에 의해 직교주파수분할다  
중 방식에 따른 심벌들의 열로 생성하는 이동통신시스템의 송신기에서 상기 심벌들의 열의 피  
크전력 대 평균전력 비를 감소시키는 방법에 있어서,

상기 입력 정보비트들의 열로부터 사이클릭 리던던시 코드(CRC) 비트들을 생성하고, 상  
기 생성된 CRC 비트들을 상기 입력 정보비트들의 열의 뒤에 부가하여 출력하는 과정과,

상호 독립적인 복수의 마스크 시퀀스들을 생성하고, 상기 생성한 복수의 마스크 시퀀스  
들 각각을 상기 CRC 비트들이 부가된 입력 정보비트들의 열에 마스킹하는 과정과,

상기 마스킹이 이루어진 복수의 입력 정보비트들의 열들 각각을 동일한 부호화 율에 의  
해 채널 부호화를 수행하고, 상기 채널 부호화에 따른 부호화 비트들의 열들 각각을 정해진 변  
조방식에 의해 변조한 후 상기 역 고속 푸리에 변환을 수행하는 과정과,

상기 역 고속 푸리에 변환이 이루어진 복수의 심볼들의 열들 각각에 대한 상기 피크전력  
대 평균전력 비들을 계산하고, 상기 계산한 복수의 피크전력 대 평균전력 비들 중 가장 작은  
값에 대응하는 심볼들의 열을 전송하는 과정을 포함함을 특징으로 하는 상기 방법.

**【청구항 6】**

송신하고자 하는 입력 정보비트들의 열을 역 고속 푸리에 변환에 의해 직교주파수분할다  
중 방식에 따른 심벌들의 열로 생성하는 이동통신시스템의 송신기에서 상기 심벌들의 열의 피  
크전력 대 평균전력 비를 감소시키는 방법에 있어서,

상기 입력 정보비트들의 열로부터 사이클릭 리던던시 코드(CRC) 비트들을 생성하고, 상  
기 생성된 CRC 비트들을 상기 입력 정보비트들의 열의 뒤에 부가하여 출력하는 과정과,

상기 CRC 비트들이 부가된 입력 정보비트들의 열을 정하여진 부호화 율에 의해 채널 부호화를 수행하고, 상기 채널 부호화에 따른 부호화 비트들의 열을 정해진 변조방식에 의해 변조하여 변조 심벌들의 열을 과정과,

상호 독립적인 복수의 마스크 시퀀스들을 생성하고, 상기 생성한 복수의 마스크 시퀀스들 각각을 상기 변조 심벌들의 열에 마스킹하는 과정과,

상기 마스킹이 이루어진 복수의 변조 심벌들의 열들 각각에 대해 상기 역 고속 푸리에 변환을 수행하는 과정과,

상기 역 고속 푸리에 변환이 이루어진 복수의 심벌들의 열들 각각에 대한 상기 피크전력 대 평균전력 비들을 계산하고, 상기 계산한 복수의 피크전력 대 평균전력 비들 중 가장 작은 값에 대응하는 심볼들의 열을 전송하는 과정을 포함함을 특징으로 하는 상기 방법.

## 【청구항 7】

송신하고자 하는 입력 정보비트들의 열을 역 고속 푸리에 변환에 의해 직교주파수분할다중 방식에 따른 심벌들의 열로 생성하는 이동통신시스템의 송신기에서 상기 심벌들의 열의 피크전력 대 평균전력 비를 감소시키는 장치에 있어서,

상기 입력 정보비트들의 열로부터 사이클릭 리던던시 코드(CRC) 비트들을 생성하고, 상기 생성된 CRC 비트들을 상기 입력 정보비트들의 열의 뒤에 부가하여 출력하는 CRC 생성기와,

상호 독립적인 복수의 마스크 시퀀스들을 생성하는 마스크 생성기와,

상기 생성한 복수의 마스크 시퀀스들 각각을 상기 CRC 비트들이 부가된 입력 정보비트들의 열에 가산하는 가산기들과,

상기 마스크 시퀀스들이 가산된 복수의 입력 정보비트들의 열들 각각을 동일한 부호화  
율에 의해 채널 부호화를 수행하는 채널 부호기들과,  
상기 채널 부호화에 따른 부호화 비트들의 열들 각각을 정해진 변조방식에 의해 변조하  
여 변조 심벌들의 열들을 출력하는 변조기들과,  
상기 변조 심벌들 각각에 대해 상기 역 고속 푸리에 변환을 수행하는 IFFT부들과,  
상기 역 고속 푸리에 변환이 이루어진 복수의 심볼들의 열들 각각에 대한 상기 피크전력  
대 평균전력 비들을 계산하고, 상기 계산한 복수의 피크전력 대 평균전력 비들 중 가장 작은  
값에 대응하는 심벌들의 열을 전송하는 피크전력 대 평균전력 비 계산 및 비교 선택기를 포함  
함을 특징으로 하는 상기 장치.

#### 【청구항 8】

송신하고자 하는 입력 정보비트들의 열을 역 고속 푸리에 변환에 의해 직교주파수분할다  
중 방식에 따른 심벌들의 열로 생성하는 이동통신시스템의 송신기에서 상기 심벌들의 열의 피  
크전력 대 평균전력 비를 감소시키는 장치에 있어서,  
상기 입력 정보비트들의 열로부터 사이클릭 리던던시 코드(CRC) 비트들을 생성하고, 상  
기 생성된 CRC 비트들을 상기 입력 정보비트들의 열의 뒤에 부가하여 출력하는 CRC 생성기와,  
상기 CRC 비트들이 부가된 입력 정보비트들의 열을 정하여진 부호화 율에 의해 채널 부  
호화를 수행하는 채널 부호기와,  
상기 채널 부호화에 따른 부호화 비트들의 열을 정해진 변조방식에 의해 변조하여 변조  
심벌들의 열을 변조기와,

상호 독립적인 복수의 마스크 시퀀스들을 생성하는 마스크 생성기와,

상기 생성한 복수의 마스크 시퀀스들 각각을 상기 변조 심벌들의 열에 마스킹하는 곱셈  
기들과,

상기 마스킹이 이루어진 복수의 변조 심벌들의 열들 각각에 대해 상기 역 고속 푸리에  
변환을 수행하는IFFT부들과,

상기 역 고속 푸리에 변환이 이루어진 복수의 심벌들의 열들 각각에 대한 상기 피크전력  
대 평균전력 비들을 계산하고, 상기 계산한 복수의 피크전력 대 평균전력 비들 중 가장 작은  
값에 대응하는 심볼들의 열을 전송하는 피크전력 대 평균전력 비 계산 및 비교 선택기를 포함  
함을 특징으로 하는 상기 장치.

#### 【청구항 9】

송신기로부터 역 고속 푸리에 변환에 의해 전송되는 직교주파수분할다중 방식에 따른 심  
벌들의 열을 수신하는 이동통신시스템의 수신기에서 상기 심벌들의 열로부터 정보비트들의 열  
을 출력하는 방법에 있어서,

상기 심벌들의 열에 대해 고속 푸리에 변환을 수행하고, 상기 고속 푸리에 변환에 의한  
변조 심벌들의 열을 상기 송신기에서 사용된 변조방식에 대응하는 복조방식에 의해 복조한 후  
채널 복호화를 수행하는 과정과,

상호 독립적인 복수의 마스크 시퀀스들을 생성하고, 상기 채널 복호화에 의해 출력되는  
정보비트들의 열을 상기 생성한 복수의 마스크 시퀀스들 각각으로 역 마스킹하여 출력하는 과  
정과,

상기 역 마스킹되어 출력되는 정보비트들의 열들 각각에 포함된 고유의 CRC 비트들에 의해 상기 역 마스킹되어 출력되는 정보비트들의 열들의 CRC 검사를 수행하는 과정과, 상기 역 마스킹되어 출력되는 정보비트들의 열들 중 상기 CRC 검사에 의해 에러가 발생하지 않은 역 마스킹된 정보비트들의 열을 선택하고, 상기 선택한 정보비트들의 열에 포함된 CRC 비트들을 제거하여 출력하는 과정을 포함함을 특징으로 하는 상기 방법.

#### 【청구항 10】

송신기로부터 역 고속 푸리에 변환에 의해 전송되는 직교주파수분할다중 방식에 따른 심벌들의 열을 수신하는 이동통신시스템의 수신기에서 상기 심벌들의 열로부터 정보비트들의 열을 출력하는 방법에 있어서,

상기 심벌들의 열에 대해 고속 푸리에 변환을 수행하고, 상기 고속 푸리에 변환에 의한 변조 심벌들의 열을 상호 독립적인 복수의 마스크 시퀀스들 각각으로 역 마스킹하여 출력하는 과정과,

상기 역 마스킹되어 출력되는 변조 심벌들의 열들 각각을 상기 송신기에서 사용된 변조 방식에 대응하는 복조방식에 의해 복조한 후 채널 복호화를 수행하는 과정과,

상기 채널 복호화에 의해 출력되는 정보비트들의 열들에 포함된 고유의 CRC 비트들에 의해 상기 정보비트들의 열들의 CRC 검사를 수행하는 과정과,

상기 정보비트들의 열들 중 상기 CRC 검사에 의해 에러가 발생하지 않은 정보비트들의 열을 선택하고, 상기 선택한 정보비트들의 열에 포함된 CRC 비트를 제거하여 출력하는 과정을

포함함을 특징으로 하는 상기 방법.

### 【청구항 11】

송신기로부터 역 고속 푸리에 변환에 의해 전송되는 직교주파수분할다중 방식에 따른 심벌들의 열을 수신하는 이동통신시스템의 수신기에서 상기 심벌들의 열로부터 정보비트들의 열을 출력하는 장치에 있어서,

상기 심벌들의 열에 대해 고속 푸리에 변환을 수행하는 FFT부와,

상기 고속 푸리에 변환에 의한 변조 심벌들의 열을 상기 송신기에서 사용된 변조방식에 대응하는 복조방식에 의해 복조하여 부호화 비트들의 열을 출력하는 복조기와,

상기 부호화 비트들의 열에 대해 채널 복호화를 수행하여 정보비트들의 열을 출력하는 채널 복호기와,

상호 독립적인 복수의 마스크 시퀀스들을 생성하는 마스크 생성기와,

상기 채널 복호화에 의해 출력되는 정보비트들의 열을 상기 생성한 복수의 마스크 시퀀스들 각각에 가산하는 가산기들과,

상기 가산기들 각각으로부터 출력되는 정보비트들의 열들 각각에 포함된 고유의 CRC 비트들에 의해 상기 정보비트들의 열들 각각의 CRC 검사를 수행하는 CRC 검사기들과,

상기 CRC 검사에 의해 예리가 발생하지 않은 정보비트들의 열을 선택하고, 상기 선택한 정보비트들의 열에 포함된 CRC 비트들을 제거하여 출력하는 선택기를 포함함을 특징으로 하는 상기 장치.

**【청구항 12】**

송신기로부터 역 고속 푸리에 변환에 의해 전송되는 직교주파수분할다중 방식에 따른 심벌들의 열을 수신하는 이동통신시스템의 수신기에서 상기 심벌들의 열로부터 정보비트들의 열을 출력하는 장치에 있어서,

상기 심벌들의 열에 대해 고속 푸리에 변환을 수행하는 FFT부와,

상호 독립적인 복수의 마스크 시퀀스들을 생성하는 마스크 생성기와,

상기 고속 푸리에 변환에 의한 변조 심벌들의 열을 상기 생성한 복수의 마스크 시퀀스들 각각으로 역 마스킹하여 출력하는 곱셈기들과,

상기 역 마스킹되어 출력되는 변조심벌들의 열들 각각을 상기 송신기에서 사용된 변조 방식에 대응하는 복조방식에 의해 복조하는 복조기들과,

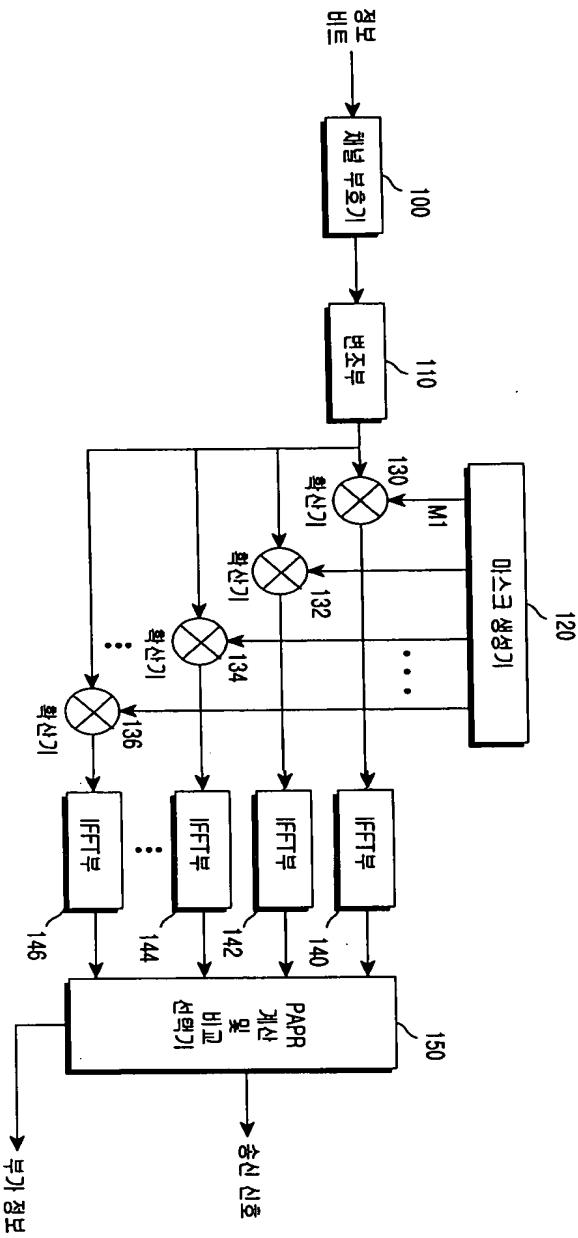
상기 복조기들로부터 출력되는 부호화 비트들의 열들 각각에 대해 채널 복호화를 수행하는 채널 복호기들과,

상기 채널 복호화에 의해 출력되는 정보비트들의 열들에 포함된 고유의 CRC 비트들에 의해 상기 정보비트들의 열들의 CRC 검사를 수행하는 CRC 검사기들과,

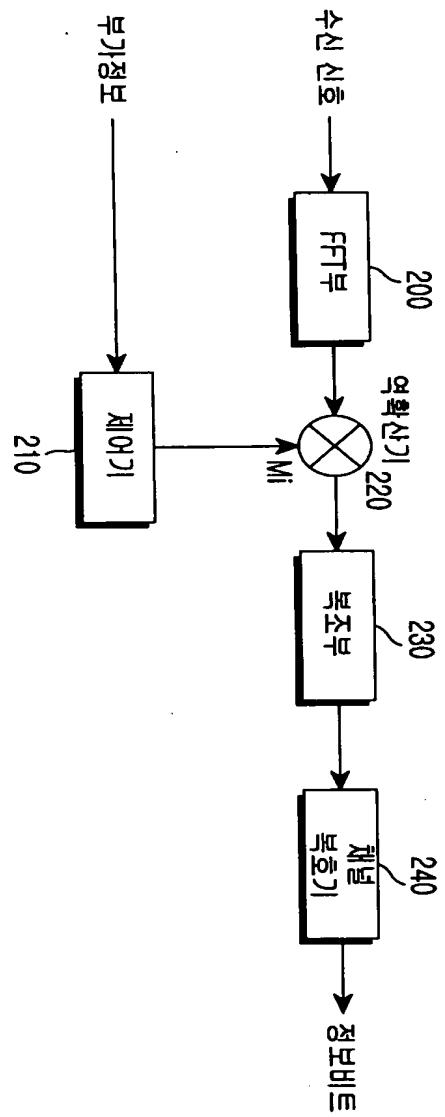
상기 정보비트들의 열들 중 상기 CRC 검사에 의해 에러가 발생하지 않은 정보비트들의 열을 선택하고, 상기 선택한 정보비트들의 열에 포함된 CRC 비트를 제거하여 출력하는 선택기를 포함함을 특징으로 하는 상기 장치.

## 【도면】

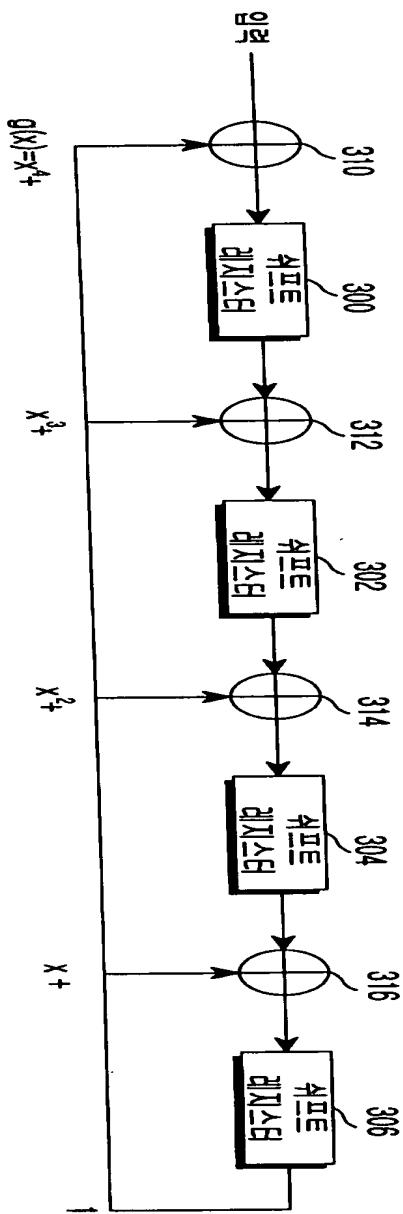
【도 1】



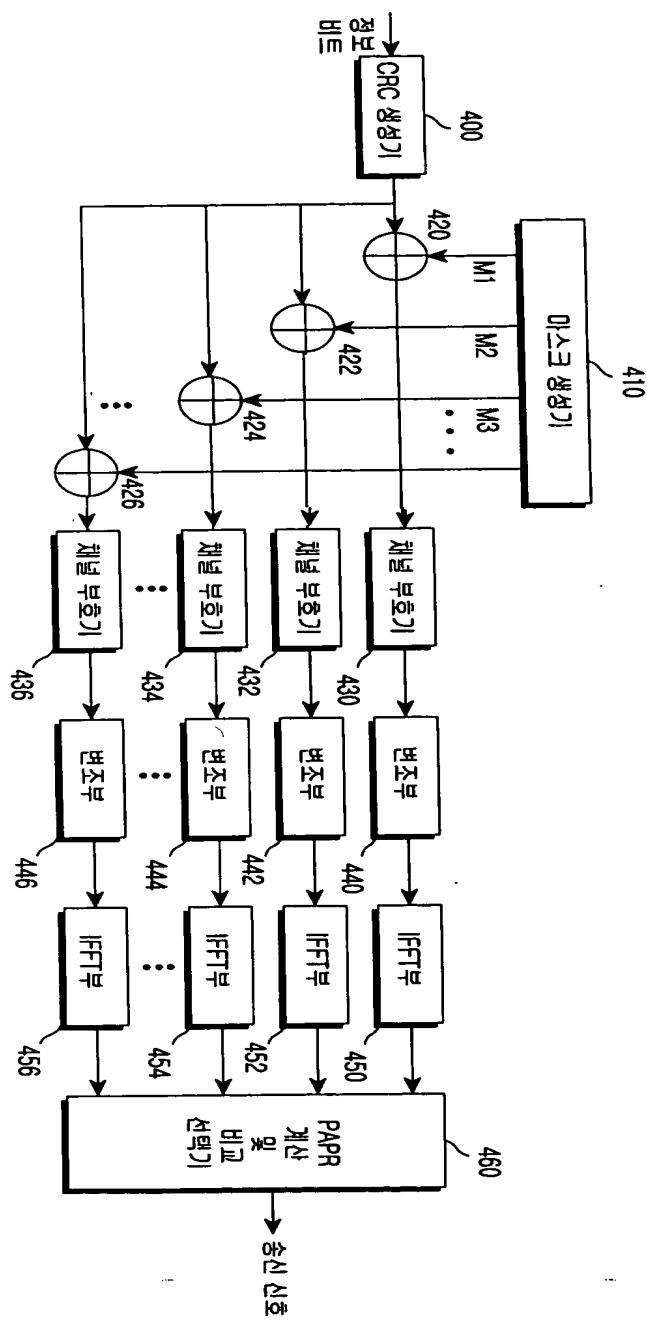
【도 2】



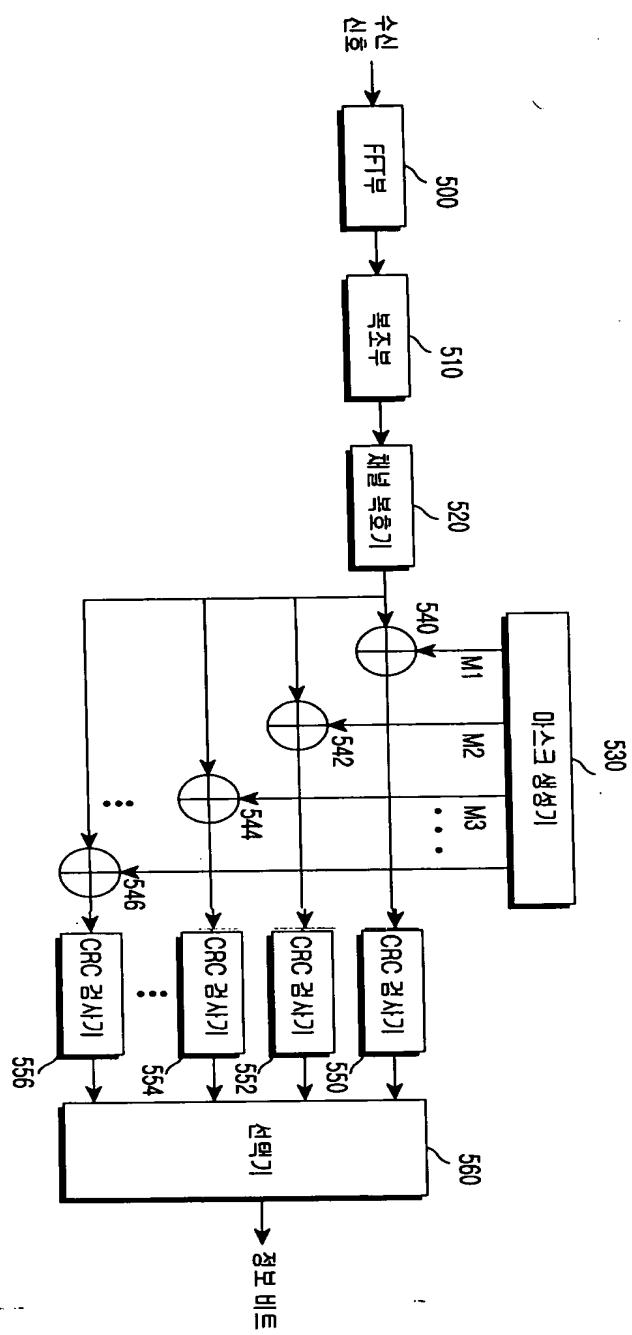
【도 3】



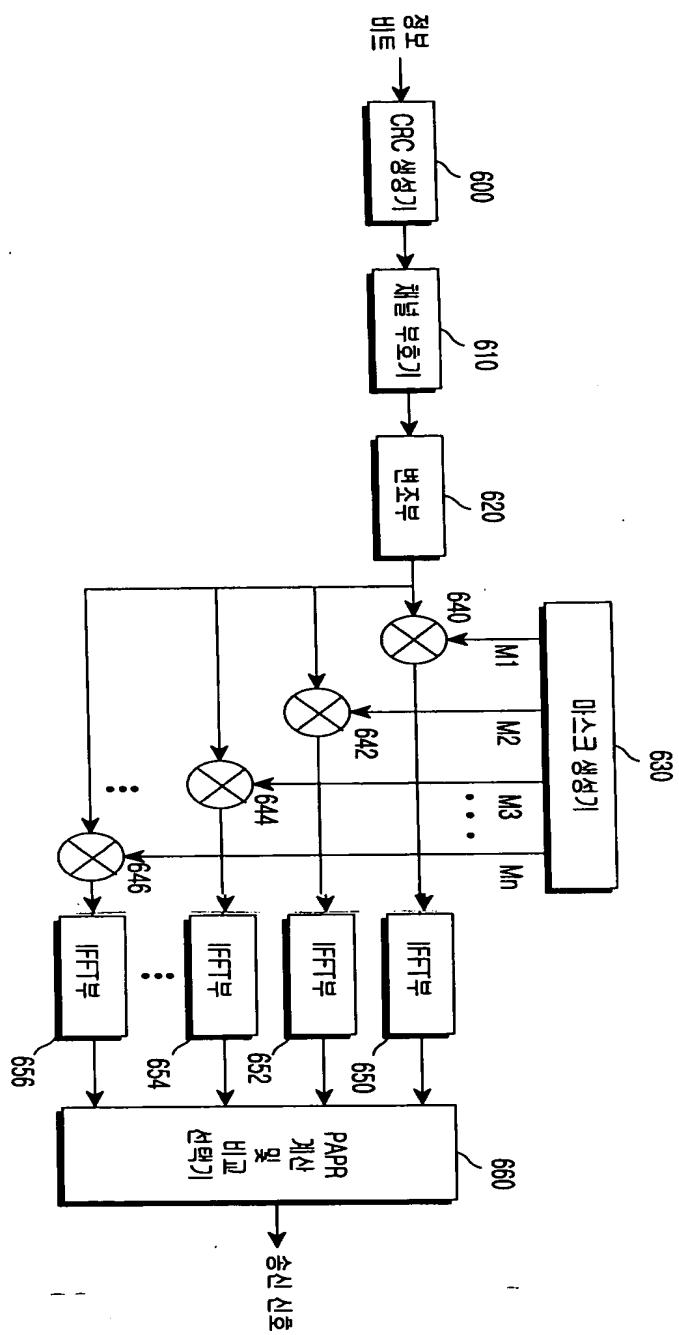
【도 4】



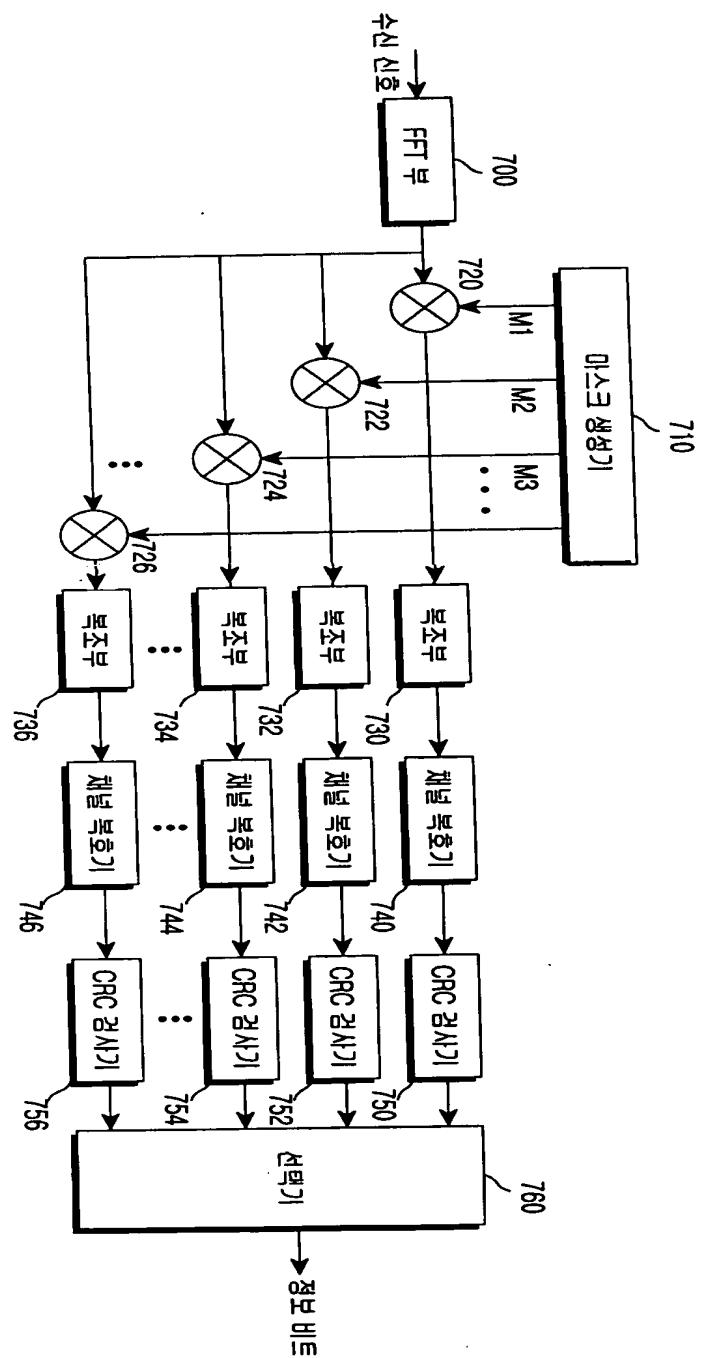
【도 5】



【도 6】



【도 7】



【도 8】

